

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-179586

(43)公開日 平成11年(1999) 7月6日

(51)Int.Cl.⁶

B 2 3 K 35/26

C 2 2 C 13/02

H 0 1 L 23/50

H 0 5 K 3/34

識別記号

3 1 0

5 1 2

F I

B 2 3 K 35/26

C 2 2 C 13/02

H 0 1 L 23/50

H 0 5 K 3/34

3 1 0 A

D

5 1 2 C

審査請求 未請求 請求項の数13 O L (全 10 頁)

(21)出願番号

特願平9-346811

(22)出願日

平成9年(1997)12月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 下川 英恵

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 曾我 太佐男

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 奥平 弘明

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

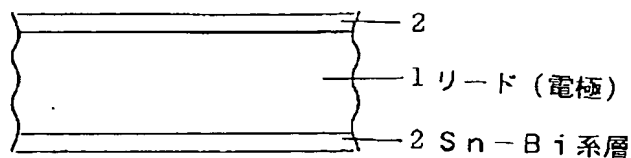
(54)【発明の名称】 P bフリーはんだ接続構造体および電子機器

(57)【要約】

【課題】十分な接続強度を有し、且つ経時的にも安定な界面が得られ、また十分なぬれ性、耐ウィスカー性等も確保できるようにしたP bフリーはんだ接続構造体および電子機器を提供することにある。

【解決手段】本発明は、P bフリーはんだとして有力なS n-A g-B i系はんだを、表面にS n-B i系層を施した電極と接続したことを特徴とする。このS n-B i層中のB i濃度は、十分なぬれ性を得るために1~20重量%であることが望ましい。更に高信頼性の継ぎ手が要求される場合には、S n-B i層の下にC u層を施すことによって、十分な界面強度を有する接続部を得る。

図 1



【特許請求の範囲】

【請求項 1】 $\text{Sn}-\text{Ag}-\text{Bi}$ 系の Pb フリーはんだを $\text{Sn}-\text{Bi}$ 系層を介して電極に接続したことを特徴とする Pb フリーはんだ接続構造体。

【請求項 2】請求項 1 記載の $\text{Sn}-\text{Bi}$ 系層中の Bi 量は、1～20 重量%であることを特徴とする Pb フリーはんだ接続構造体。

【請求項 3】請求項 1 または 2 記載の Pb フリーはんだ接続構造体において、前記 $\text{Sn}-\text{Bi}$ 系層と前記電極との間に Cu 層を有することを特徴とする Pb フリーはんだ接続構造体。

【請求項 4】請求項 1 または 2 記載の Pb フリーはんだ接続構造体において、前記電極が Cu 材で形成されていることを特徴とする Pb フリーはんだ接続構造体。

【請求項 5】請求項 1 または 2 または 3 記載の電極は、 $\text{Fe}-\text{Ni}$ 系合金または Cu 系のリードであることを特徴とする Pb フリーはんだ接続構造体。

【請求項 6】請求項 1 または 2 または 3 または 4 または 5 記載の $\text{Sn}-\text{Ag}-\text{Bi}$ 系の Pb フリーはんだは、 Sn を主成分として、 Bi が 5～25 重量%、 Ag が 1.5～3 重量%、 Cu が 0～1 重量%を含有することを特徴とする Pb フリーはんだ接続構造体。

【請求項 7】電子部品に形成された第 1 の電極と、回路基板に形成された第 2 の電極とを電気的に接続する電子機器であって、

前記第 1 の電極に $\text{Sn}-\text{Bi}$ 系層を施し、該 $\text{Sn}-\text{Bi}$ 系層が施された第 1 の電極と前記第 2 の電極とを $\text{Sn}-\text{Ag}-\text{Bi}$ 系の Pb フリーはんだで接続したことを特徴とする電子機器。

【請求項 8】請求項 7 記載の $\text{Sn}-\text{Bi}$ 系層中の Bi 量は、1～20 重量%であることを特徴とする電子機器。

【請求項 9】請求項 7 または 8 記載の電子機器において、前記 $\text{Sn}-\text{Bi}$ 系層と第 1 の電極との間に Cu 層を有することを特徴とする電子機器。

【請求項 10】請求項 7 または 8 記載の電子機器において、前記 $\text{Sn}-\text{Bi}$ 系層の第 1 の電極側が Cu 材であることを特徴とする電子機器。

【請求項 11】請求項 7 または 8 または 9 記載の第 1 の電極は、 $\text{Fe}-\text{Ni}$ 系合金または Cu 系のリードであることを特徴とする電子機器。

【請求項 12】請求項 7 または 8 または 9 または 10 または 11 記載の $\text{Sn}-\text{Ag}-\text{Bi}$ 系の Pb フリーはんだは、 Sn を主成分として、 Bi が 5～25 重量%、 Ag が 1.5～3 重量%、 Cu が 0～1 重量%を含有することを特徴とする電子機器。

【請求項 13】電極に接続される Pb フリーはんだとして、 Sn を主成分として、 Bi が 5～25 重量%、 Ag が 1.5～3 重量%、 Cu が 0～1 重量%を含有する $\text{Sn}-\text{Ag}-\text{Bi}$ 系であることを特徴とする Pb フリーはんだ接続構造体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、リードフレーム等の電極に対して毒性の少ない Pb フリーはんだ合金を用いて適するように接続する Pb フリーはんだ接続構造体およびこれを用いた電子機器に関するものである。

【0002】

【従来の技術】従来、有機基板等の回路基板に LSI 等の電子部品を接続して電子回路基板を製造するには、 $\text{Sn}-\text{Pb}$ 共晶はんだ、及びこの $\text{Sn}-\text{Pb}$ 共晶はんだ近傍で、融点も類似な $\text{Sn}-\text{Pb}$ はんだ、或いは、これらに少量の Bi や Ag を添加したはんだ合金が用いられている。これらのはんだには、 Pb が約 40 重量%含まれている。いずれのこれらのはんだ合金も、融点はほぼ 183°C であり、 $220\sim 240^{\circ}\text{C}$ でのはんだ付けが可能である。また、はんだ付けされる QFP (Quad Flat Package) - LSI 等の電子部品の電極は、 $\text{Fe}-\text{Ni}$ 系合金である 42 アロイ表面に 90 重量% $\text{Sn}-10$ 重量% Pb (以下 $\text{Sn}-10\text{Pb}$ と略す) 層をめっき等で施した電極が一般的に用いられている。これは、はんだぬれ性が良好であり、且つ保存性が良く、ウィスカーの発生の問題がないためである。

【0003】

【発明が解決しようとする課題】しかし、上記の $\text{Sn}-\text{Pb}$ 系はんだ中に含まれている Pb は人体に有毒な重金属であり、 Pb を含む製品を廃棄することによる地球環境の汚染、生物への悪影響が問題となっている。この電気製品による地球環境の汚染は、野ざらしに放置された Pb を含む電気製品から、雨等によって Pb が溶出することによって起こる。 Pb の溶出は、最近の酸性雨によって加速される傾向にある。従って、環境汚染を低減するためには、大量に使用されている上記の $\text{Sn}-\text{Pb}$ 共晶系はんだの代替として Pb を含まない低毒性の Pb フリーはんだ材料、及び部品電極上で使用されている $\text{Sn}-10\text{Pb}$ 層の代替材料として Pb を含まない部品電極構造が必要である。 Pb フリーはんだ材料としては低毒性、材料供給性、コスト、ぬれ性、機械的性質、接続信頼性等と観点から $\text{Sn}-\text{Ag}-\text{Bi}$ 系はんだが有力候補となっている。また、はんだ付けにおいては、通常、 $220\sim 240^{\circ}\text{C}$ 付近に加熱し、部品、基板の電極とはんだとの間に化合物を生成させることによって、接続を行っている。従って、形成される界面は、はんだ材料と部品側の電極材料の組み合わせによって異なるため、安定な接続界面を得るためには、そのはんだに適する電極材料が必要である。

【0004】本発明の目的は、リードフレーム等の電極に対して毒性の少ない $\text{Sn}-\text{Ag}-\text{Bi}$ 系の Pb フリーはんだ合金を用いて十分な接続強度を有し、且つ安定な接続界面が得られるようにした Pb フリーはんだ接続構造体を提供することにある。また、本発明の他の目的

は、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、電子部品、基板間の熱膨張係数の差、はんだ付け後の割基板作業、或いはブローピングテスト時の基板の反り、ハンドリング等によってはんだ接続部に発生する応力に耐え得る十分な接続強度を有し、且つ経時的にも安定な界面を得ることができるようにした電子機器を提供することにある。また、本発明の他の目的は、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、十分なぬれ性を確保して十分な接続強度を有し、また耐ウィスカー性等も確保できるようにしたPbフリーはんだ接続構造体および電子機器を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明は、Sn-Ag-Bi系のPbフリーはんだをSn-Bi系層を介して電極に接続したことを特徴とするPbフリーはんだ接続構造体である。また、本発明は、前記Pbフリーはんだ接続構造体におけるSn-Bi系層中のBi量は、1～20重量%であることを特徴とする。また、本発明は、前記Pbフリーはんだ接続構造体において、前記Sn-Bi系層と前記電極との間にCu層を有することを特徴とする。また、本発明は、前記Pbフリーはんだ接続構造体において、前記電極がCu材で形成されていることを特徴とする。また、本発明は、前記Pbフリーはんだ接続構造体における電極は、Fe-Ni系合金またはCu系のリードであることを特徴とする。また、本発明は、前記Pbフリーはんだ接続構造体におけるSn-Ag-Bi系のPbフリーはんだは、Snを主成分として、Biが5～25重量%、Agが1.5～3重量%、Cuが0～1重量%を含有することを特徴とする。

【0006】また、本発明は、電子部品に形成された第1の電極と、回路基板に形成された第2の電極とを電気的に接続する電子機器であって、前記第1の電極にSn-Bi系層を施し、該Sn-Bi系層を施した第1の電極と前記第2の電極とをSn-Ag-Bi系のPbフリーはんだで接続したことを特徴とする電子機器である。

【0007】また、本発明は、前記電子機器におけるSn-Bi系層中のBi量は、1～20重量%であることを特徴とする。また、本発明は、前記電子機器において、前記Sn-Bi系層と第1の電極との間にCu層を有することを特徴とする。また、本発明は、前記電子機器において、前記Sn-Bi系層の第1の電極側がCu材であることを特徴とする。また、本発明は、前記電子機器における第1の電極は、Fe-Ni系合金またはCu系のリードであることを特徴とする。

【0008】また、本発明は、前記電子機器におけるSn-Ag-Bi系のPbフリーはんだは、Snを主成分として、Biが5～25重量%、Agが1.5～3重量%、Cuが0～1重量%を含有することを特徴とする。

また、本発明は、電極に接続されるPbフリーはんだとして、Snを主成分として、Biが5～25重量%、Agが1.5～3重量%、Cuが0～1重量%を含有するSn-Ag-Bi系であることを特徴とするPbフリーはんだ接続構造体である。

【0009】以上説明したように、前記構成によれば、リードフレーム等の電極に対して毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて十分な接続強度を有し、且つ安定な接続界面を得ることができる。

10 また、前記構成によれば、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、電子部品、基板間の熱膨張係数の差、はんだ付け後の割基板作業、或いはブローピングテスト時の基板の反り、ハンドリング等によってはんだ接続部に発生する応力に耐え得る十分な接続強度を有し、且つ経時的にも安定な界面を得ることができる。また、前記構成によれば、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、例えば220～240℃での十分なぬれ性を確保して十分なフィレットを形成して十分な接続強度を有し、また耐ウィスカー性等も確保することができる。

【0010】

【発明の実施の形態】本発明に係る実施の形態について説明する。本発明に係る実施の形態は、半導体装置(LSI)などの電子部品に形成されたQFP形リードやTSSOP形リード等で形成された第1の電極と回路基板に形成された第2の電極との間を毒性の少ないPbフリーはんだ材料を用いて接続することによって電子機器を構成するものである。Pbフリーはんだ接続構造体としては、例えば、上記第1の電極、または上記第2の電極
30 に、毒性の少ないPbフリーはんだ材料を用いて接続する構造体がある。上記毒性の少ないPbフリーはんだ材料としては、Sn-Ag-Bi系はんだを用いる。ところで、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、電子部品、回路基板間の熱膨張係数の差、はんだ付け後の割基板作業、或いはブローピングテスト時の基板の反り、ハンドリング等によってはんだ接続部に発生する応力に耐え得る十分な接続強度を有し、且つ経時的にも安定な界面を得ることが必要となる。

40 【0011】また、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、回路基板や電子部品の耐熱性から適切なはんだ付け温度である220～240℃での十分なぬれ性を確保して十分なフィレット形状を形成して十分な接続強度を有するようになる必要がある。もし、ぬれ性が悪いと十分なフィレット形状が形成されずに十分な接続強度が得られなかったり、強いフラックスが必要となって絶縁信頼性に悪影響を及ぼすことになる。また、めっき等により作成した電極表面からウィスカーが発生し、成長すると電極間のショートが起きることからして、耐ウィスカー性等も確保することが必

要となる。

【0012】本発明に係る上記電極構造として、十分な接続強度を得るために、図1および図2に示すように、リードからなる電極1の表面にSn-Bi系層2を施すようにした。そして、次に、本発明に係る電極構造の選定について説明する。この選定は、上記要求に基づいて、主に接続強度、ぬれ性、ウィスカー性の評価により行った。始めにSn-Ag-Bi系はんだと各種電極材料との接続強度を調べた結果を示す。図3に測定方法の概略を示したが、従来のSn-10Pb層の代替材料としてPbのない系で可能性があると考えられる材料(Sn、Sn-Bi、Sn-Zn、Sn-Agめっき)を、Fe-Ni系合金(42アロイ)で形成された電極であるリード上に施したモデルリード4を作成した。この他に、従来のSn-10Pbめっきとの組み合わせについても評価を行った。モデルリード4の形状は、幅3mm、長さ38mmであり、はんだ付け部の長さが22mmになるように直角に折り曲げてある。めっき厚みは各組成ともに約10μmとした。このモデルリード4を82.2重量%Sn-2.8重量%Ag-1.5重量%Bi(以下Sn-2.8Ag-1.5Biと略す)のPbフリーはんだ5を用いて、回路基板であるガラスエポキシ基板6上のCuパッド(Cu電極)7にはんだ付けした。ガラスエポキシ基板6のCuパッド(Cu電極)7の大きさは3.5mm×2.5mmであり、はんだ5は0.1mm×2.5mm×3.5mmのはんだ箔で供給した。即ち、ガラスエポキシ基板6上のCuパッド7へ、上記のはんだ箔5を載せ、この上に上記の直角に折り曲げたモデルリード4を載せた。はんだ付けは大気中で、予熱を140℃60秒、最高温度220℃の条件で行った。また、フラックスは、ロジン系で、塩素を含有したフラックスを用いた。はんだ付け後は、有機溶剤で洗浄した。引っ張り試験は、はんだ付け直後と、経時変化による接続部強度劣化を考慮して125℃168時間の高温放置を行ってからと、リードのぬれ性が劣化した場合の界面強度を調べるためにモデルリードを150℃168時間放置してからのはんだ付けした場合と3種類行った。引っ張り試験は、基板を固定し、モデルリードの先端をつかんで垂直方向に5mm/分の速度で引っ張った。このときの、最大強度、及び一定となる引張強度を、それぞれフィレット部強度、フラット部強度として各組成のモデルリードについて評価した。この試験は各条件につき100回行い、平均をとった。

【0013】各組成のモデルリードのフィレット部強度の評価結果を図4に示す。通常のQFP-LSI等のプラスチックパッケージ部品ではプリント基板の熱膨張係数の差を考慮すると、フィレット部強度は5kgf程度以上必要である。これから、Sn、及び、Biを23重量%含有しているSn-23Bi以外のSn-Bi系層をFe-Ni系合金(42アロイ)上に施したモデルリ

ードでは、5kgf以上のフィレット部強度が得られたが、Sn-Zn、Sn-Ag、Sn-Pb層の場合では十分な接続界面が得られないことがわかった。この他にも42アロイ上に約2μmのNiめっきを施し、これに、Auめっき、Pdめっき、Pdめっきの上に更にAuめっきを施した3種類のモデルリードを作成し、同様にはんだ付けし、界面強度を調べたが、図4に示したように十分なフィレット部強度が得られなかった。従って、電極であるリード上にSn-Bi系層を施すことが必要であることがわかった。

【0014】上記の引っ張り試験を行った各組成のモデルリードのうち、十分な界面強度が得られたSn-Bi系めっきを施したリードについて、Sn-2.8Ag-1.5Biはんだに対するぬれ性をメニスコグラフ法によって検討した。フラックスは、ぬれ性を調べるため、活性の弱いものを用いた。試験片は上記モデルリードを1cmの長さに切って用いた。ぬれ性の試験条件は、はんだ浴温度が220℃、浸漬速度は1mm/分、浸漬深さは2mm、浸漬時間は20秒とし、荷重が0に回復するまでの時間をぬれ時間、浸漬20秒後の荷重をぬれ荷重とした。また、ぬれ性はめっき直後のリードと、150℃168時間放置したリードについて2種類行った。また、各条件について10回ずつ測定し、平均をとった。

【0015】各組成のぬれ時間、ぬれ荷重をそれぞれ図5、6に示した。図5のぬれ時間の結果から、めっき初期のSn-Bi系めっきリードでは、Bi濃度が高い方がぬれ性が良いが、150℃168時間の高温放置を行った場合では、Biが1重量%未満、及び23重量%でぬれ性が劣化することがわかった。Biが1重量%未満の場合は、図6に示したように、ぬれ荷重は確保されていたが、ぬれ時間が劣化していたことから、ぬれにくくなっているといえる。従って、Sn-Bi系層のなかでも、十分なぬれ性を得るためには、Bi量は1~20重量%であることが望ましいことがわかった。

【0016】更に熱膨張係数の差が大きい材料間の接続、温度差が大きい環境で使用される場合等では、界面に発生する応力が大きくなるため、十分な信頼性を確保するためには界面の接続強度は10kgf程度以上でなければならない。従って、図4を見てみると、Fe-Ni系合金(42アロイ)に直接Sn-Bi系層を施したのでは、10kgf以上のフィレット部強度が得られないことがわかった。これは、界面での化合物層が十分形成されていないためと考えられる。そこで、界面でののはんだとの反応性を高めるために、Fe-Ni系合金(42アロイ)上に平均7μm程度のCuめっき層、この上にSn-Bi系めっき層を施し界面強度の測定を行った。この時のフィレット部強度の結果をCu層がない場合も合わせて図7に示したが、Bi量が23重量%の場合を除けば、10kgf以上の接続強度が得られ、下地のCu層の効果が確認できた。また、この電極構造を取

ることにより、図7に一緒に示したように、Sn-Pb共晶はんだを42アロイリード上に直接Sn-10Pb層を施したリードにはんだ付けした従来の場合に得られるはんだ付け直後の界面強度、12.1kgfと同程度以上の界面強度を得ることができた。また、図8に示したように、Sn-Bi層の下にCu層を施すことによりフラット部強度も向上させることができた。ここで、このCu層は42アロイのリードフレームを用いた場合には、上記のように42アロイ上にCu層を施せばよいが、Cu系リードフレームを用いた場合は、これをこのままCu層としても良いし、また、剛性を向上させるために他の元素をリードフレーム材料中に添加することもあるので、この影響をなくすために、更にCu層を形成してもよい。また、このCu層を施したモデルリードのぬれ性については、図5、6に一緒に示したが、Cu層の影響はほとんど無く、やはりBiが1重量%以下では、高温放置を行った場合にぬれ性が劣化していたが、1~20重量%では、十分なぬれ性を得ることができた。尚、図7、図8の例はSn-2.8Ag-1.5Biを用いたが、Bi量が少ない系、例えばSn-2Ag-7.5Bi-0.5Cu系でも、下地にCu層を入れることにより、界面強度向上の効果がある。

【0017】上記のSn-Bi系層、Cu層は、めっきに限らず、ディップ、蒸着、ローラーコート、金属粉末による塗布によって形成することができる。このように、電極材料により異なる理由を調べるために、接続部の断面研磨を行って、界面の様子を調べた。また、引張り試験を行った試料の剥離面をSEMで観察した。この代表的な組み合わせについての結果を説明する。まず、従来使用されているFe-Ni系合金(42アロイ)に直接Sn-10Pbめっきが施されているリードをSn-Ag-Bi系はんだで接合した場合の観察結果を図9に示したが、この組み合わせでは界面にはPbとBiが化合物を作って集まっていて、剥離は42アロイとはんだとの界面で起こっていた。また、剥離したリードの42アロイ表面には、薄くSnが検出され、はんだ中のSnがリードの42アロイと化合物を形成していたと考えられる。従って、上記のPbとBiの化合物が界面に集まることによって、Snと42アロイとの接続面積が小さくなり、接続強度が非常に弱くなったと考えられる。

【0018】次に、Sn-10PbめっきをSn-4Biめっきに変えた場合の観察結果を図10に示したが、界面に形成される化合物層は薄く、剥離は同様に42アロイとはんだとの界面で起こっていた。しかし、Biは粒状の結晶のままで、Snと42アロイとの接続面積の低下をSn-10Pbの場合ほど起こさないため、5kgf以上の接続強度を得ることができたと考えられる。この時の化合物層はオージェ分析から、約70nmのSn-Fe層であった。更にSn-4Bi層の下にCu層

を施した場合の観察結果を図11に示したが、界面には、厚いCuとSnの化合物層が形成されることがわかった。剥離は、この化合物層とはんだとの界面、または化合物層中で起こっていた。剥離面は、図10の42アロイリードに直接Sn-Bi層を形成したリードの場合はほとんど平らであったのに比べて、Cu層が存在する場合にはでこぼこしていた。このため、このような剥離面の違いが界面強度の向上につながったと考えられる。尚、以上の検討結果はSn-Ag-Bi系はんだの別の組成でも同様の結果が得られた。

【0019】上記の各組成のモデルリードについて、ウィスカーの発生を調べたが、Sn-Znめっきを施したモデルリードでは表面にウィスカーの発生が見られた。また、Snめっきについては従来からウィスカー性に問題があると言われている。しかし、Sn-Bi系層についてはウィスカーの発生は見られず、耐ウィスカー性も問題なかった。従って、本発明の電極構造であれば、Sn-Ag-Bi系はんだに対して、接続強度、ぬれ性、耐ウィスカー性に優れる接続部を得ることができる。

【0020】はんだ材料について、主成分がSnで、Biが5~25重量%、Agが1.5~3重量%、Cuが0~1重量%含有するSn-Ag-Bi系はんだを選んだのは、この範囲内の組成のはんだは、220~240℃ではんだ付けが可能であり、Cuに対して従来実績のあるSn-Ag共晶とほぼ同等のぬれ性を有し、且つ、高温で十分な信頼性を有しているからである。即ち、Sn-Ag-Bi系はんだではBiが約10重量%以上で138℃付近で熔融する部分(3元共晶)を有し高温での信頼性に影響を及ぼすことが心配されるが、この3元共晶析出量を実用上問題のないレベルに抑え、且つ125℃での高温強度も確保している。従って、この組成のはんだを用いて、上記の電極をはんだ付けすることによって、実用的であり、高信頼な電子機器を得ることができる。

【0021】

【実施例1】図1にQFP-LSI用のリードの断面構造を示した。これは、リードの断面構造のある一部分を示したものであるが、Fe-Ni系合金(42アロイ)の電極であるリード1上にSn-Bi系層2が形成されている。このSn-Bi系層2はめっきによって形成し、厚みは10μm程度とした。また、Sn-Biめっき層中のBi濃度は8重量%とした。この電極構造を持つ上記のQFP-LSIをSn-2.8Ag-1.5Bi-0.5Cuはんだを用いて回路基板であるガラスエポキシ基板にはんだ付けした。はんだ付けは最高温度を220℃として、窒素リフロー炉を用いて行った。これにより、十分な接続強度を有する接続部を得ることができた。また、同様にSn-2Ag-7.5Bi-0.5Cuはんだを用いてガラスエポキシ基板に240℃で大気中でリフローした。リフローした継手は特に高温での信

頼性が高い。

【0022】

【実施例2】図2にTSOP用のリードの断面構造を示した。これも、リードの断面構造のある一部分を示したものであるが、Fe-Ni系合金（42アロイ）の電極であるリード1上にCu層3、その上にSn-Bi系層2が形成されている。このCu層3、Sn-Bi系層2はめっきによって形成した。Cu層3の厚みは8μm程度であり、Sn-Bi系めっき層2の厚みは10μm程度とした。また、Sn-Biめっき層中のBi量は5重量%である。TSOPはリードの剛性が大きいと、実稼働時の部品自身の発熱、また、高温で使用される場合、界面に発生する応力がQFP-LSIと比較して大きくなる。このような場合には、この界面応力に耐えられるように十分な界面強度を有する界面を形成させる必要があり、Sn-Bi系層2の下にCu層3が効果的である。

【0023】このTSOPをプリント基板にSn-Ag-Bi系はんだを用いてペーパーリフロー炉ではんだ付けし、温度サイクル試験を行った。試験条件は-55℃30分、125℃30分の1時間/1サイクル、及び、0℃30分、90℃30分の1時間/1サイクルの2条件であり、500サイクル、1000サイクル後に断面観察を行ってクラックの発生状況を調べた。これを、42アロイリード上に直接Sn-10Pb層が形成されているリードを有する同じ大きさのTSOPをSn-Pb共晶はんだではんだ付けした場合と比較したが、-55℃/125℃の温度サイクルではクラックの発生が早かったが、0℃/90℃の温度サイクルでは、特に問題とはならず、実用上十分な接統界面が得られた。

【0024】

【実施例3】本発明の電極構成は基板上の電極にも適用することができる。例えば、基板のはんだ付け性を向上させるためにはんだコートが効果的であるが、従来はSn-Pbはんだ、特にSn-Pb共晶はんだ等のPbを含んだはんだを使用している。このため、コート用はんだのPbフリー化として、本発明のSn-Bi層を用いることができる。また、通常、基板の電極はCuで形成されているため、Sn-Ag-Bi系はんだを使用した場合に十分な接統強度を得ることができる。この構成を適用した例を示すが、回路基板であるガラスエポキシ基板上のCuパッド（Cu電極）に約5μm程度のSn-8Bi層をローラーコートで作成した。このはんだ層を形成したために基板に対するぬれ性が向上し、且つ、接統強度も向上させることができた。

【0025】

【発明の効果】本発明によれば、Pbフリー材料として優れるSn-Ag-Bi系はんだに適する電極構造を実現することができる効果を奏する。また、本発明によれば、リードフレーム等の電極に対して毒性の少ないSn

-Ag-Bi系のPbフリーはんだ合金を用いて十分な接統強度を有し、且つ安定な接統界面を得ることができるPbフリーはんだ接統構造体を実現することができる効果を奏する。また、本発明によれば、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、電子部品、基板間の熱膨張係数の差、はんだ付け後の割基板作業、或いはプロービングテスト時の基板の反り、ハンドリング等によってはんだ接統部に発生する応力に耐え得る十分な接統強度を有し、且つ経時的にも安定な界面を得ることができるPbフリーはんだ接統構造体を備えた電子機器を実現することができる効果を奏する。

【0026】また、本発明によれば、毒性の少ないSn-Ag-Bi系のPbフリーはんだ合金を用いて、例えば220～240℃での十分なぬれ性を確保して十分なフィレットを形成して十分な接統強度を有し、また耐ウィスカ性等も確保することができる。また、本発明によれば、電子部品をSn-Ag-Bi系はんだではんだ付けすることにより、十分な接統強度を有する界面が得られ、且つ、実用上十分なぬれ性も確保することができる。またウィスカ性についても問題無い。従って、環境にやさしいPbフリーの電気製品を従来と同じ設備、プロセスを使用して実現することができる効果を奏する。

【図面の簡単な説明】

【図1】本発明に係るQFP-LSI用のリードの断面構造を示す図である。

【図2】本発明に係るTSOP用のリードの断面構造を示す図である。

【図3】接統強度評価試験方法についての概略説明図である。

【図4】本発明に係る各種メタライズリードのフィレット部強度についての評価結果を示す図である。

【図5】本発明に係る各種メタライズリードのぬれ時間についての評価結果を示す図である。

【図6】本発明に係る各種メタライズリードのぬれ荷重についての評価結果を示す図である。

【図7】本発明に係るCu層を形成した場合のフィレット部強度についての評価結果を示す図である。

【図8】本発明に係るCu層を形成した場合のフラット部強度についての評価結果を示す図である。

【図9】従来のFe-Ni合金（42アロイ）にSn-10Pbめっきを施したリードとの界面の観察結果を示す図で、（a）は断面を示す図、（b）は剥離部を、リード側とはんだ側とについて示す図である。

【図10】本発明に係るFe-Ni合金（42アロイ）にSn-4Biめっきを施したリードとの界面の観察結果を示す図で、（a）は断面を示す図、（b）は剥離部を、リード側とはんだ側とについて示す図である。

【図11】本発明に係るFe-Ni合金（42アロイ）にCu層、その上にSn-4Biめっきを施したリード

10

20

30

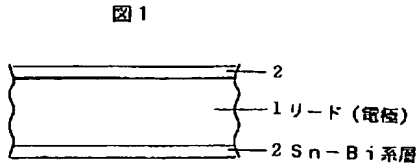
40

50

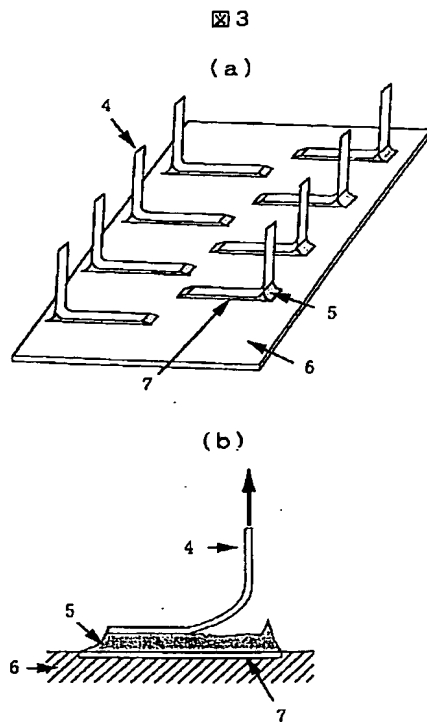
との界面の観察結果を示す図で、(a)は断面を示す図、(b)は剥離部を、リード側とはんだ側とについて示す図である。

【符号の説明】

【図1】



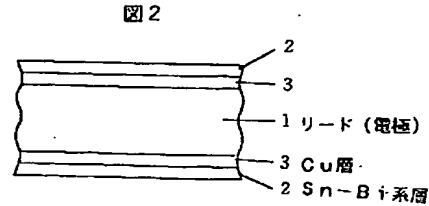
【図3】



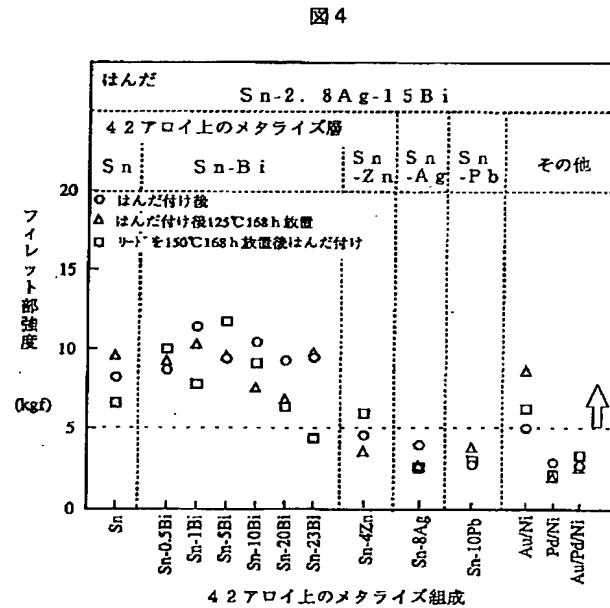
* 1…Fe-Ni合金のリード (電極)、2…Sn-Bi系層、3…Cu層、4…モデルリード、5…はんだ、6…ガラスエポキシ基板、7…Cuパッド (Cu電極)

*

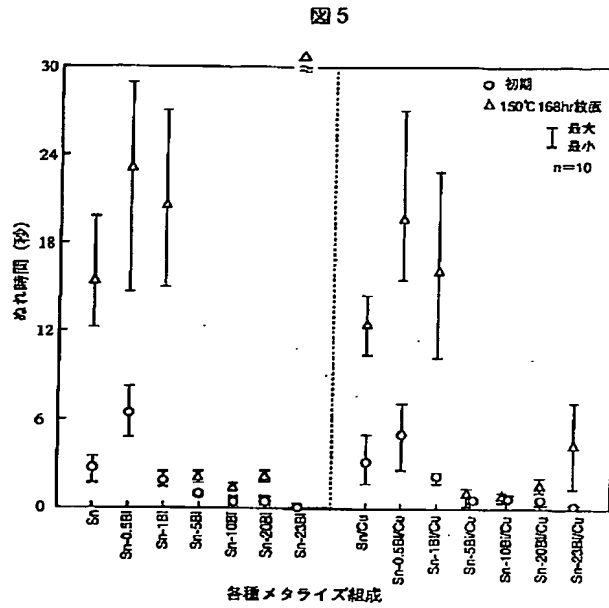
【図2】



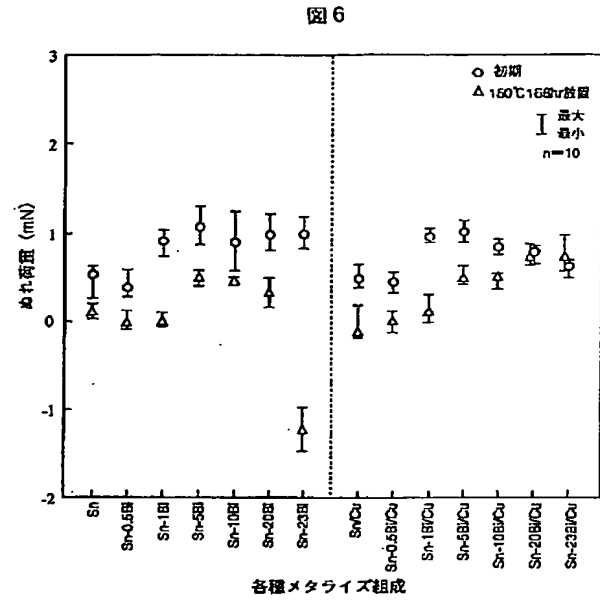
【図4】



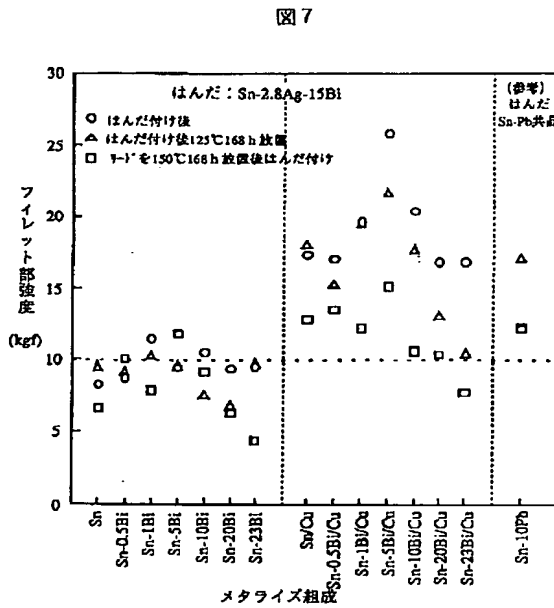
【図5】



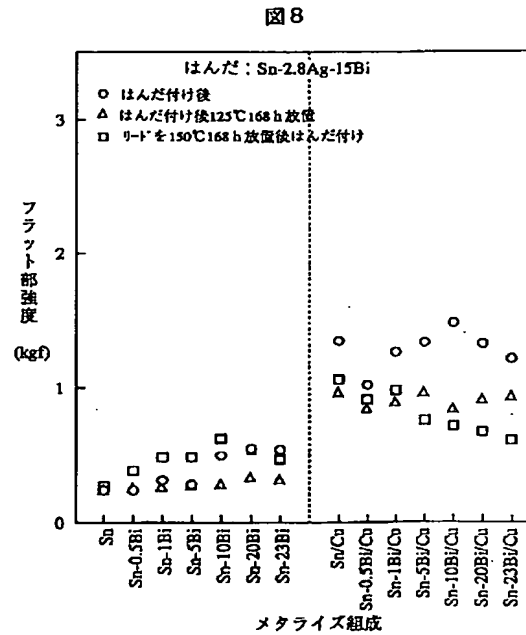
【図6】



【図7】

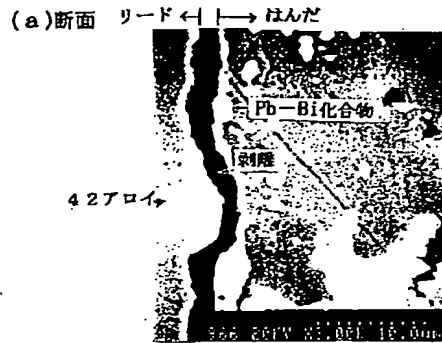


【図8】

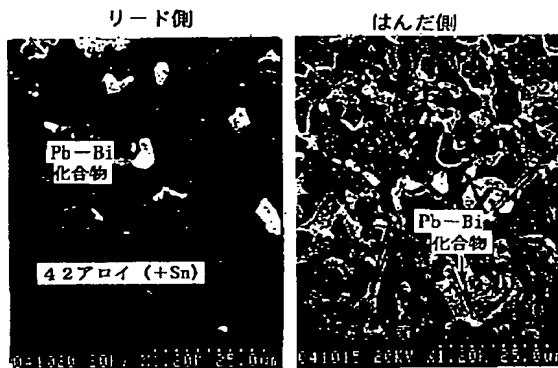


【図 9】

図 9



(b) 剥離部

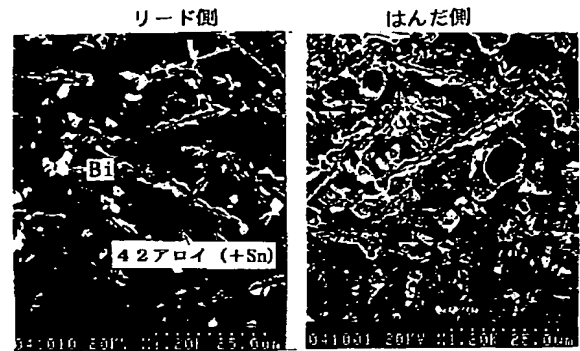


【図 10】

図 10

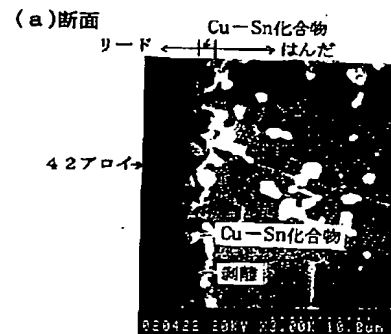


(b) 剥離部

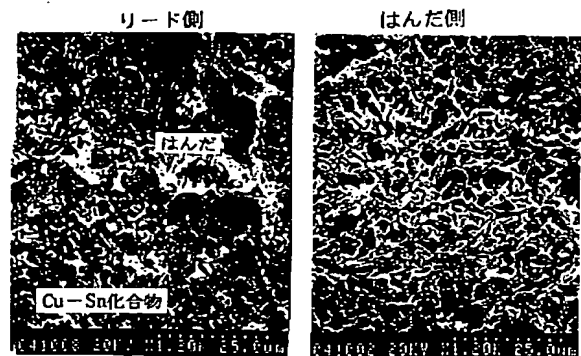


【図 11】

図 11



(b) 剥離部



フロントページの続き

(72)発明者 石田 寿治
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内
(72)発明者 中塚 哲也
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 稲葉 吉治
東京都小平市上水本町五丁目20番 1 号株式
会社日立製作所半導体事業部内
(72)発明者 西村 朝雄
東京都小平市上水本町五丁目20番 1 号株式
会社日立製作所半導体事業部内